

软件无线电综合开发平台

一、概述

为了满足软件无线电验证需要了，设计一块高速板卡板卡，该板卡含 2 路 500MSPS ADC 及 3 路 500MSPS DAC，以及支持 DDR3、SRIO 存储，带 485 通信接口，千兆网通信接口，支持 X86 技术。

二、主要技术指标

- FPGA: XC7K410T-2FFG900i

XC7K410T-2FFG900i 3 片级联

406720 逻辑单元, 63550Slices, 16 个 GTX

- ADC: AD9648

采样频率: 500MSPS

采样精度: 14 位

通道数: 2 通道

集成下变频器

集成 NCO

- DAC: AD9142A

播放频率: 500MSPS

采样精度: 16 位

通道数: 6 通道

集成上变频器

集成 NCO

- DDS: AD9912

输出频率:1M-1000Hz

输出幅度: 0~-50dB

- FPGA 高速互联:

互联协议: SRIO

带宽: SRIO X4

互联速度: 1GB/S

- FMC 扩展:

3 组标准 FMC 扩展

支持 Bank 电压调整

- 网络:

支持 FPGA 自主 TCP/IP 千兆网通信

- X86 处理器:

处理器: Intel E3845

硬盘: 128GB

内存: 2GB

显示: HDMI

U 口: 2 个

网络: 千兆网

- 算法支持:

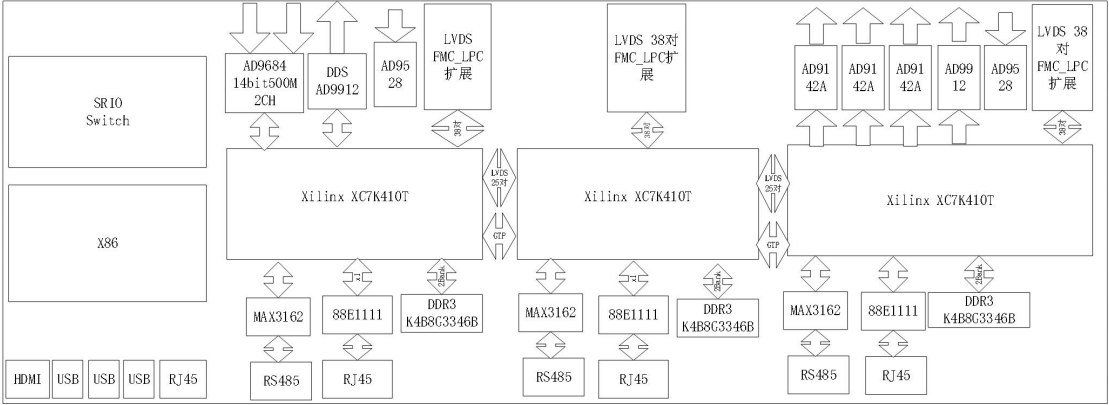
模拟调制功能: AM/FM/PM

数字调制功能: BPSK、QPSK、8PSK、16QAM、32QAM、64QAM、

128QAM、256QAM、MSK、GMSK、2FSK

三、框图及实物

框图：



实物：



四、方案介绍

4.1 ADC 部分：

数模转换器 ADC 拟选用 ADI 公司的 AD9684，该转换器支持 4、500MSPS 采样频率，14bit 精度，双路，接口为并行 lvds。

FEATURES

Parallel LVDS (DDR) outputs
 1.1 W total power per channel at 500 MSPS (default settings)
 SFDR = 85 dBFS at 170 MHz f_{IN} (500 MSPS)
 SNR = 68.6 dBFS at 170 MHz f_{IN} (500 MSPS)
 ENOB = 10.9 bits at 170 MHz f_{IN}
 DNL = ± 0.5 LSB
 INL = ± 2.5 LSB
 Noise density = -153 dBFS/Hz at 500 MSPS
 1.25 V, 2.50 V, and 3.3 V supply operation
 No missing codes
 Internal analog-to-digital converter (ADC) voltage reference
 Flexible input range and termination impedance
 1.46 V p-p to 2.06 V p-p (2.06 V p-p nominal)
 400 Ω , 200 Ω , 100 Ω , and 50 Ω differential
 SYNC $\pm$ input allows multichip synchronization
 DDR LVDS (ANSI-644 levels) outputs
 2 GHz usable analog input full power bandwidth
 >96 dB channel isolation/crosstalk
 Amplitude detect bits for efficient AGC implementation
 Two integrated wideband digital processors per channel
 12-bit numerically controlled oscillator (NCO)
 3 cascaded half-band filters
 Differential clock inputs
 Serial port control
 Integer clock divide by 2, 4, or 8
 Small signal dither

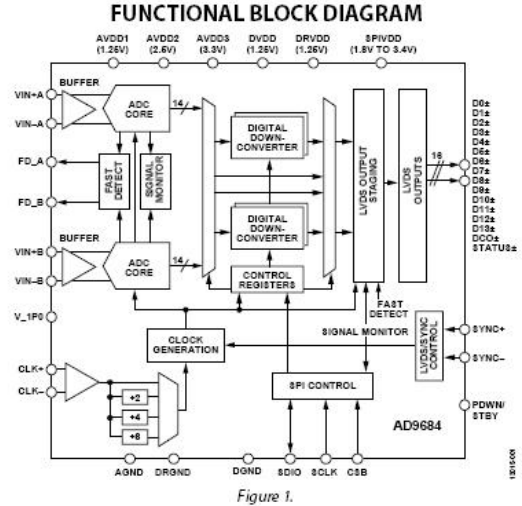
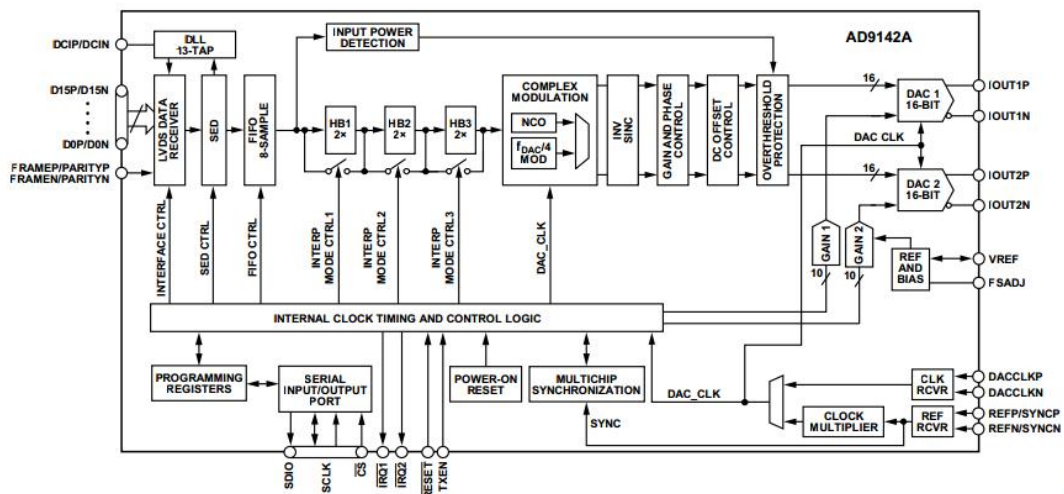


Figure 1.

4.2 DAC 部分:

模数转换器拟选用 ADI 公司的 AD9142A，该芯片 AD9142A 是一款双通道、16 位、高动态范围数模转换器(DAC),提供 1600 MSPS 采样速率,可以产生最高达奈奎斯特频率的多载波。

下面是该芯片内部框图:



4.3 FPGA 部分

FPGA 拟选用 Xilinx 公司的 XC7K410T-2FFG900i 作为主控芯片，该芯片资源、速度、功耗都比较理想。

Kintex-7 FPGA Feature Summary

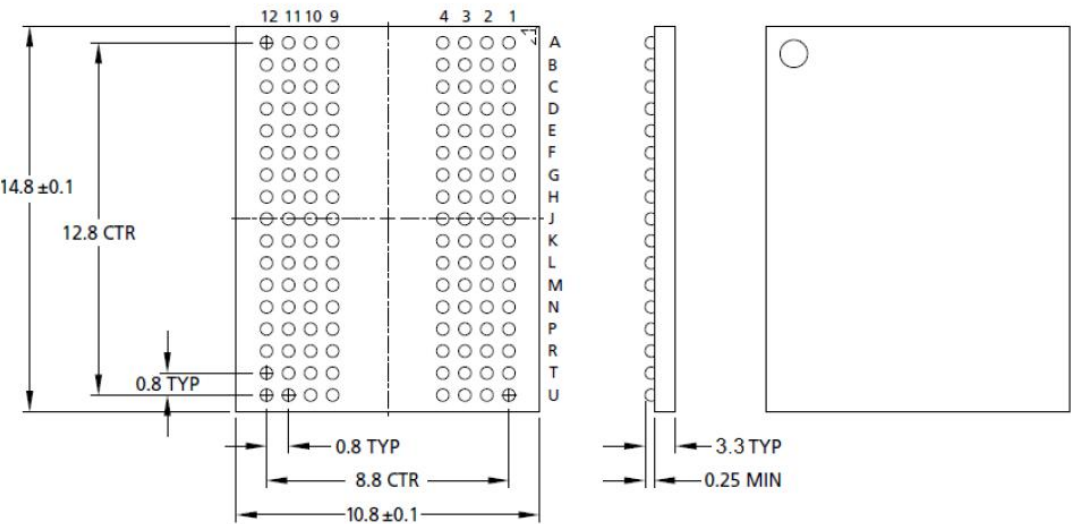
Table 4: Kintex-7 FPGA Feature Summary by Device

Device	Logic Cells	Configurable Logic Blocks (CLBs)		DSP Slices ⁽²⁾	Block RAM Blocks ⁽³⁾			CMTs ⁽⁴⁾	PCIe ⁽⁵⁾	GTXs	XADC Blocks	Total I/O Banks ⁽⁶⁾	Max User I/O ⁽⁷⁾
		Slices ⁽¹⁾	Max Distributed RAM (Kb)		18 Kb	36 Kb	Max (Kb)						
XC7K70T	65,600	10,250	838	240	270	135	4,860	6	1	8	1	6	300
XC7K160T	162,240	25,350	2,188	600	650	325	11,700	8	1	8	1	8	400
XC7K325T	326,080	50,950	4,000	840	890	445	16,020	10	1	16	1	10	500
XC7K355T	356,160	55,650	5,088	1,440	1,430	715	25,740	6	1	24	1	6	300
XC7K410T	406,720	63,550	5,663	1,540	1,590	795	28,620	10	1	16	1	10	500
XC7K420T	416,960	65,150	5,938	1,680	1,670	835	30,060	8	1	32	1	8	400
XC7K480T	477,760	74,650	6,788	1,920	1,910	955	34,380	8	1	32	1	8	400

4.4 DDR3

DDR3 采用三星公司的 K4B8G3346B，该芯片容量为 1GB, 32 位宽，单芯片解决方案，是非常理想的存储颗粒。

8G B-die	8Banks	K4B8G1646B	MCKD	DDP 512M x 16	1.5V	96 ball FBGA	Now	
		K4B8G1646B	MYH9/KD	DDP 512M x 16	1.35V			
		K4B8G3346B	MCH9/KD	DDP 256M x 32	1.5V	136 ball FBGA	Now	
		K4B8G3346B	MYH9/KD	DDP 256M x 32	1.35V			



4.5 时钟合成器

时钟合成器拟选用 AD9528,该芯片能够输出 12 路 10M-1000M 频率，可以满足本项目使用需要。

4.6 千兆网接口

通过 88E1111，作为一个千兆 phy 芯片，支持 GMII/SGMII/1000Base+协议。本方案中，用 Verilog 实现一个 TCP/IP 服务器，计算机可以通过 RJ45 连接到 FPGA 上，实现寄存器读写及 FIFO 读写操作，传输速度可以达到 60MB/s。

4.7 串口接口

串口接口芯片拟选用 MAX3162，该芯片支持 RS232、RS485、RS422 协议，且可以方便切换非常方便。

4.8 FMC 扩展接口

扩展接口拟选用行业上比较成熟的 FMC_LPC 接口，IO 数为可以达到 38 对 LVDS，该连接器支持差分接口，传输速度支持到 10GHz，且高密度、高可靠性，是比较理想外扩方案。

4.9 DDS 芯片：

DDS 芯片选用 AD9912，该款芯片可以实现 1M-1000Hz 的频率输出。

五、交付内容

开发平台：Xilinx FPGA 平台

交付内容：板卡 1 套及全套源代码

FPGA 源代码含：AD、DA、DDR、GTP、SRIO、UART、RJ45、DDS。

上位机源代码：VC6.0

北京研创达科技有限公司

2016.1.1